طراحی سیستم‌های تعبیه‌شده
Embedded System Design

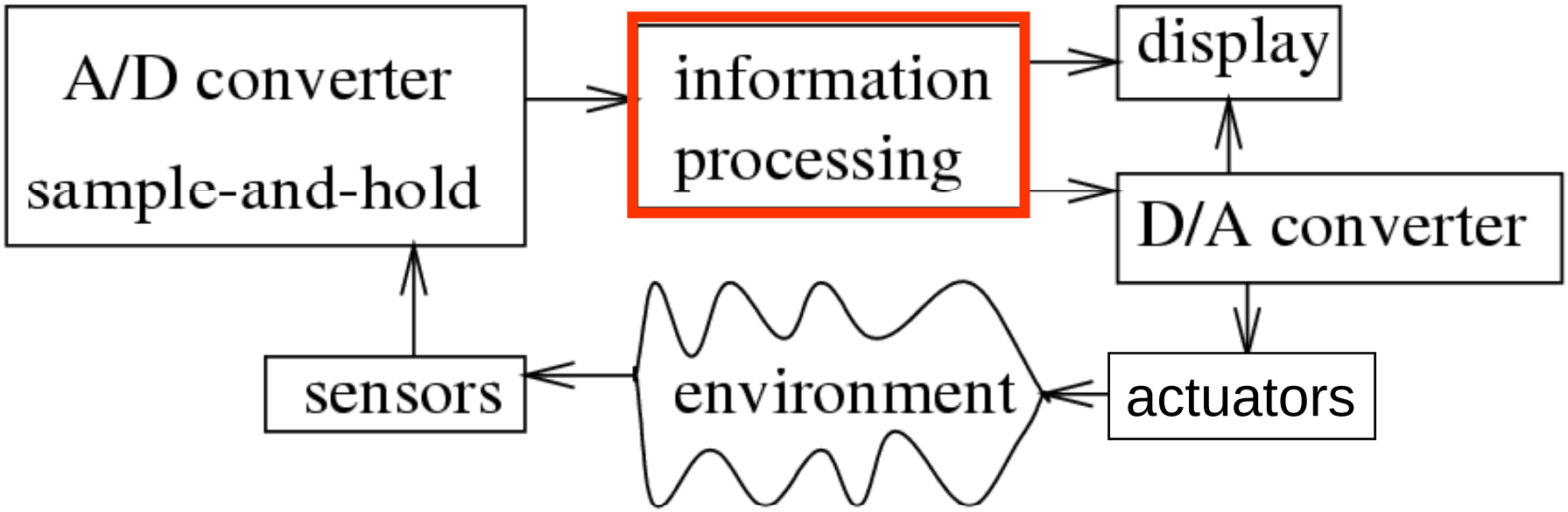
فصل سوم ـ قسمت سوم

سخت‌افزار سیستم تعبیه‌شده
Embedded System Hardware

کاظم فولادی
دانشکده‌ی مهندسی برق و کامپیوتر
دانشگاه تهران

kazim@fouladi.ir

Embedded System Hardware



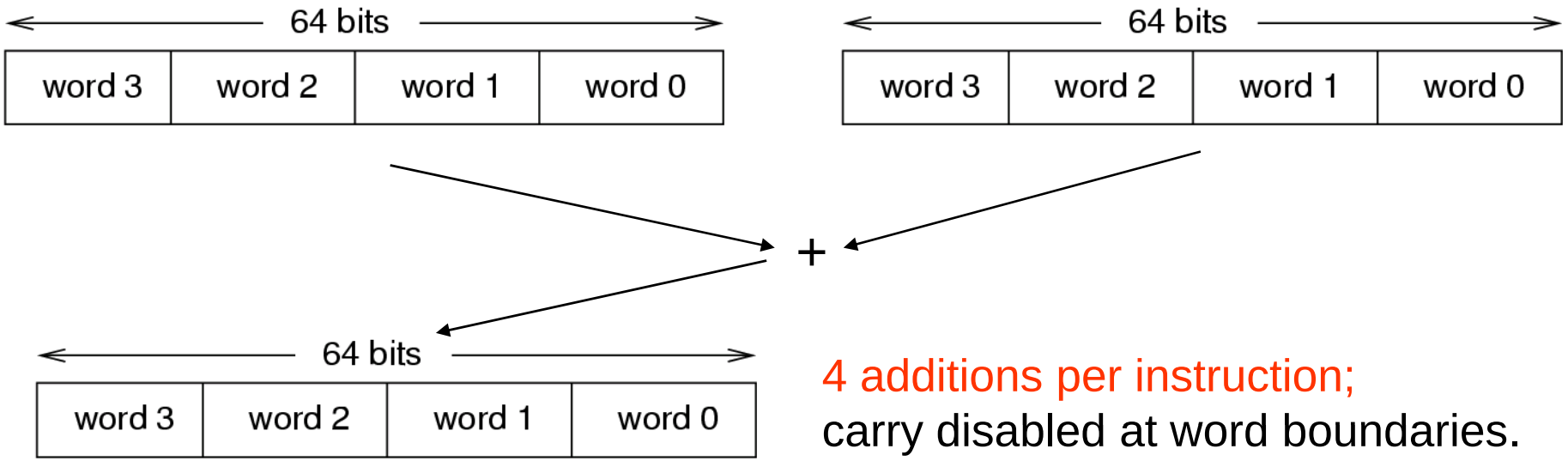
Target technologies

Processing units

- Power efficiency of target technologies
- ASICs
- Processors
  - Energy efficiency
  - Code size efficiency and code compaction
  - Run-time efficiency
  - DSP processors
  - Multimedia processors
  - Very long instruction word (VLIW) & EPIC machines
  - Micro-controllers
- Reconfigurable Hardware
- Memory

دستورالعمل‌ها/پردازنده‌های چندرسانه‌ای
Multimedia-Instructions/Processors

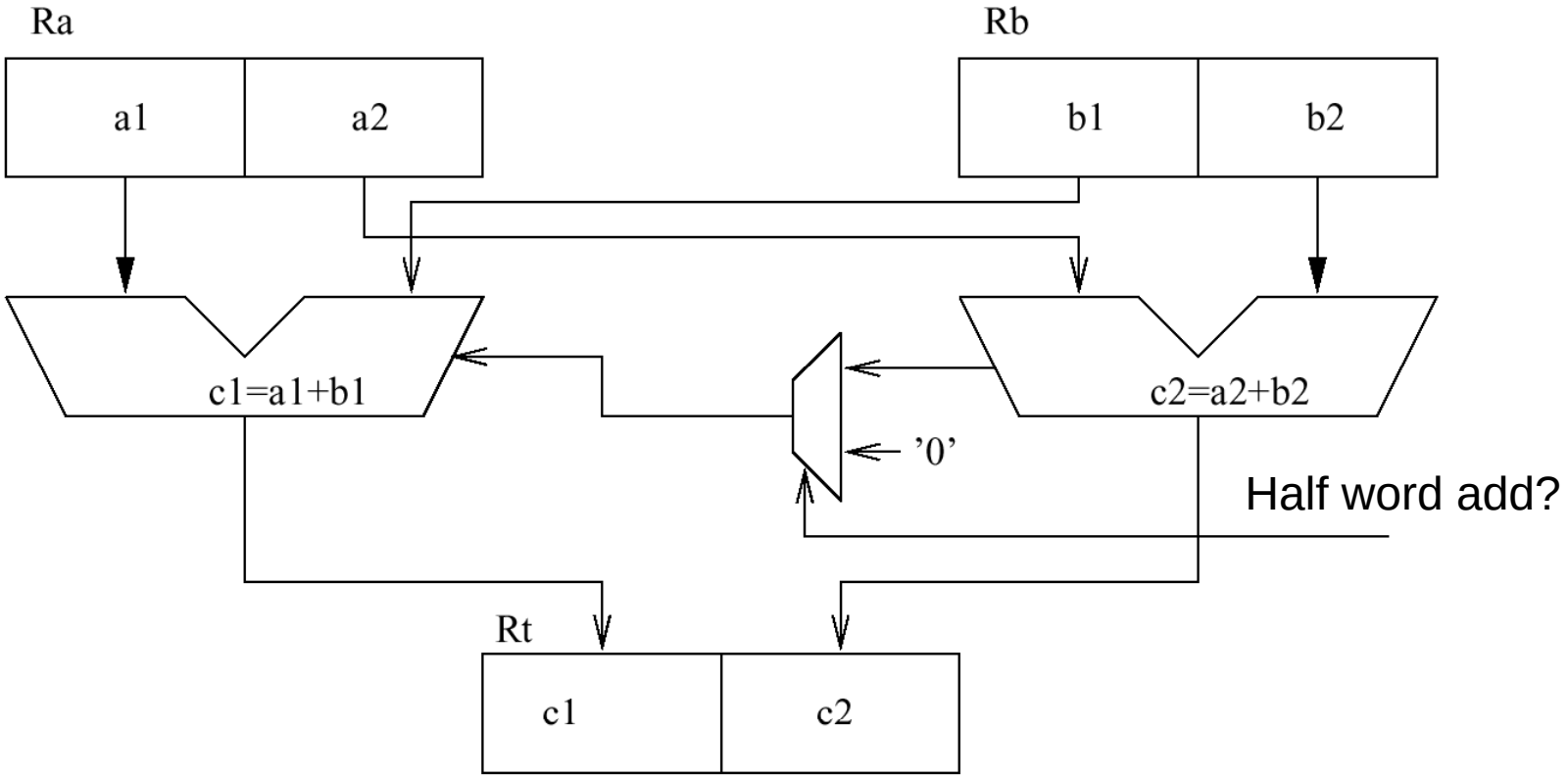
دستورالعمل‌های چندرسانه‌ای از ثبات‌ها و جمع‌کننده‌های طویل استفاده می‌کنند (۳۲ یا ٦٤ بیت)،
در حالی‌که اکثر انواع داده‌ای چندرسانه‌ای باریک narrow هستند (۸ بیت برای رنگ پیکسل‌ها، ۱۶ بیت برای نمونه‌های صوتی در هر کانال)
⇐ ۲ تا ۸ مقدار می‌تواند در یک ثبات ذخیره شود یا جمع شود.



4 additions per instruction;
carry disabled at word boundaries.

Early example: HP *precision architecture* (hp PA)

Half word add instruction **HADD**:



Optional saturating arithmetic.

Up to 10 instructions can be replaced by **HADD**.

Pentium MMX-architecture (1)

64-bit vectors representing 8 byte encoded, 4 word encoded or 2 double word encoded numbers.

wrap around / *saturating* options.

Multimedia registers **mm0 - mm7**,
consistent with floating-point registers (OS unchanged).

Instruction	Options	Comments
Padd[b/w/d] PSub[b/w/d]	*wrap around,* *saturating*	addition/subtraction of bytes, words, double words
Pcmpeq[b/w/d] Pcmpgt[b/w/d]		Result= "11..11" if true, "00..00" otherwise Result= "11..11" if true, "00..00" otherwise
Pmullw Pmulhw		multiplication, 4*16 bits, least significant word multiplication, 4*16 bits, most significant word

Pentium MMX-architecture (2)

Psra[w/d] Psll[w/d/q] Psrl[w/d/q]	No. of positions in register or instruction	Parallel shift of words, double words or 64 bit quad words
Punpckl[bw/wd/dq] Punpckh[bw/wd/dq]		Parallel unpack Parallel unpack
Packss[wb/dw]	*saturating*	Parallel pack
Pand, Pandn Por, Pxor		Logical operations on 64 bit words
Mov[d/q]		Move instruction

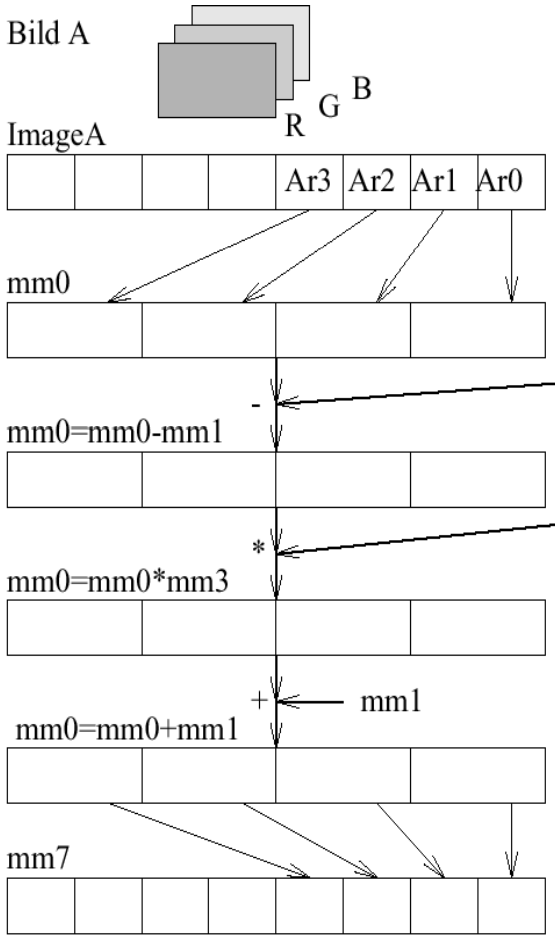
Application

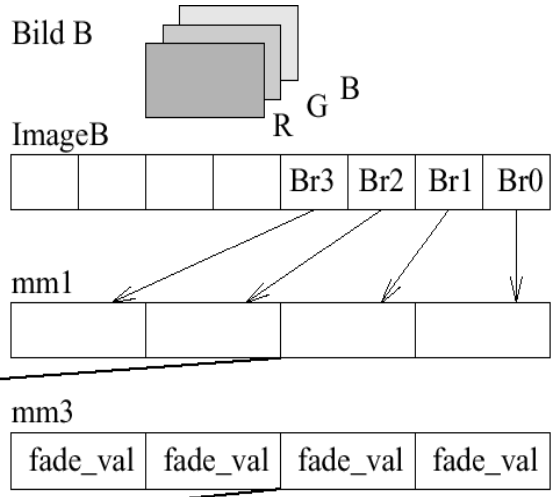
درون‌یابی مقیاس‌شده بین دو تصویر

Scaled interpolation between two images

Next word = next pixel, same color.

4 pixels processed at a time.






```
pxor      mm7,mm7      ;clear register mm7
movq      mm3,fade_val ;load scaling value
movd      mm0,imageA   ;load 4 red pixels for A
movd      mm1,imageB   ;load 4 red pixels for B
unpcklbw  mm1,mm7      ;unpack,bytes to words
unpcklbw  mm0,mm7      ;upper bytes from mm7
psubw     mm0,mm1      ;subtract pixel values
pmulhw    mm0,mm3      ;scale
paddw     mm0,mm1      ;add to image B
packuswb  mm0,mm7      ;pack, words to bytes
```

Ultra-SPARC Processor

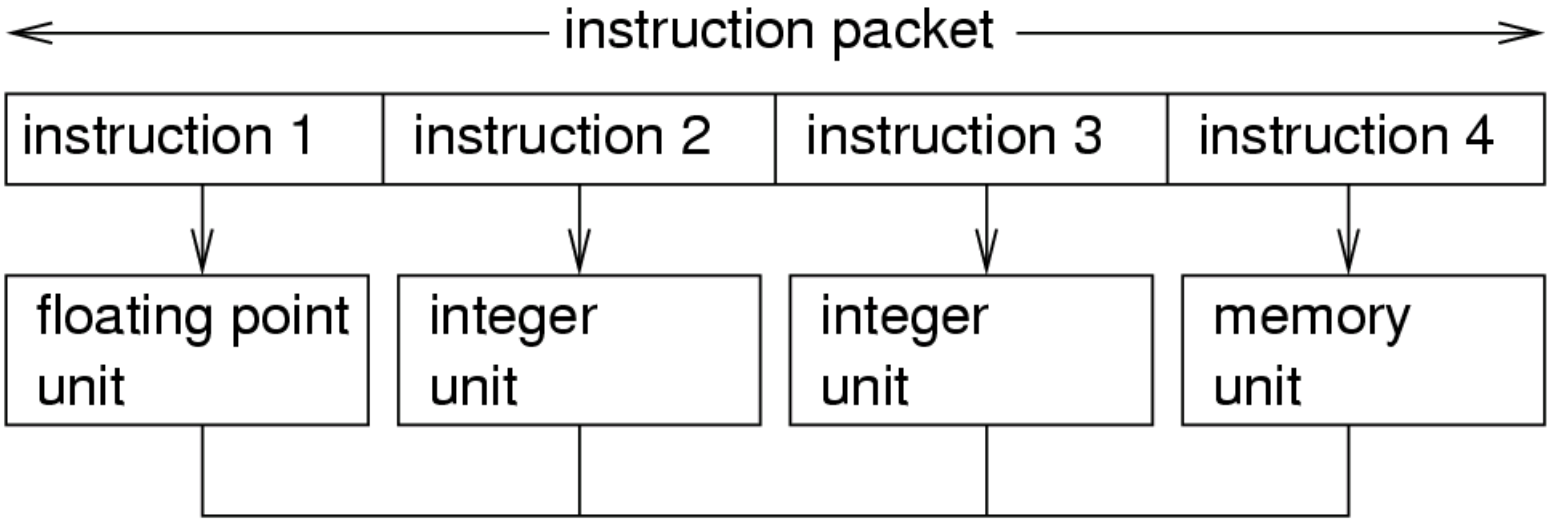
visual instruction set (VIS)

- Instruction for MPEG motion estimation, includes 8 subtractions, 8 additions and 8 absolute value computations on 8 bit data in a single cycle. Replaces up to 1500 instructions by 32 of such instructions.
- ..

پردازنده‌های کلمه دستورالعمل بسیار طویل
Very long instruction word (VLIW) processors

ایده‌ی کلیدی: **تشخیص امکان موازی‌سازی که باید توسط کامپایلر انجام شود، نه توسط سخت‌افزار در زمان اجرا (که ناکارامد است).**

VLIW: عملیات موازی (دستورالعمل‌ها)
در یک کلمه‌ی طولانی (بسته دستورالعمل) کد می‌شود،
هر دستورالعمل یک واحد کارکردی را کنترل می‌کند. مثال:

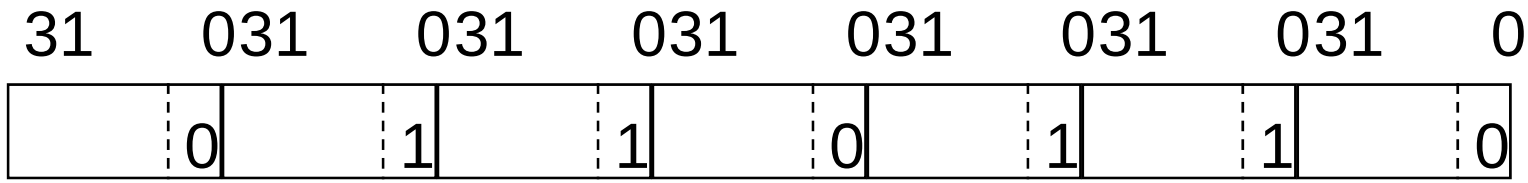


اجتناب از دستورالعمل‌های بی‌استفاده با کامپیوترهای EPIC
explicit parallelism instruction computers (EPIC)

موازی‌سازی توسط کامپایلر تشخیص داده می‌شود و کد می‌گردد،
اما هیچ رابطه‌ی یک به یکی بین بسته‌های دستورالعمل با طول ثابت و موازی‌سازی وجود ندارد.

The Texas Instruments TMS 320C6xx as an example

یک بیت در هر دستورالعمل، پایان اجرای موازی را کد می‌کند.



Instr. A Instr. B Instr. C Instr. D Instr. E Instr. F Instr. G

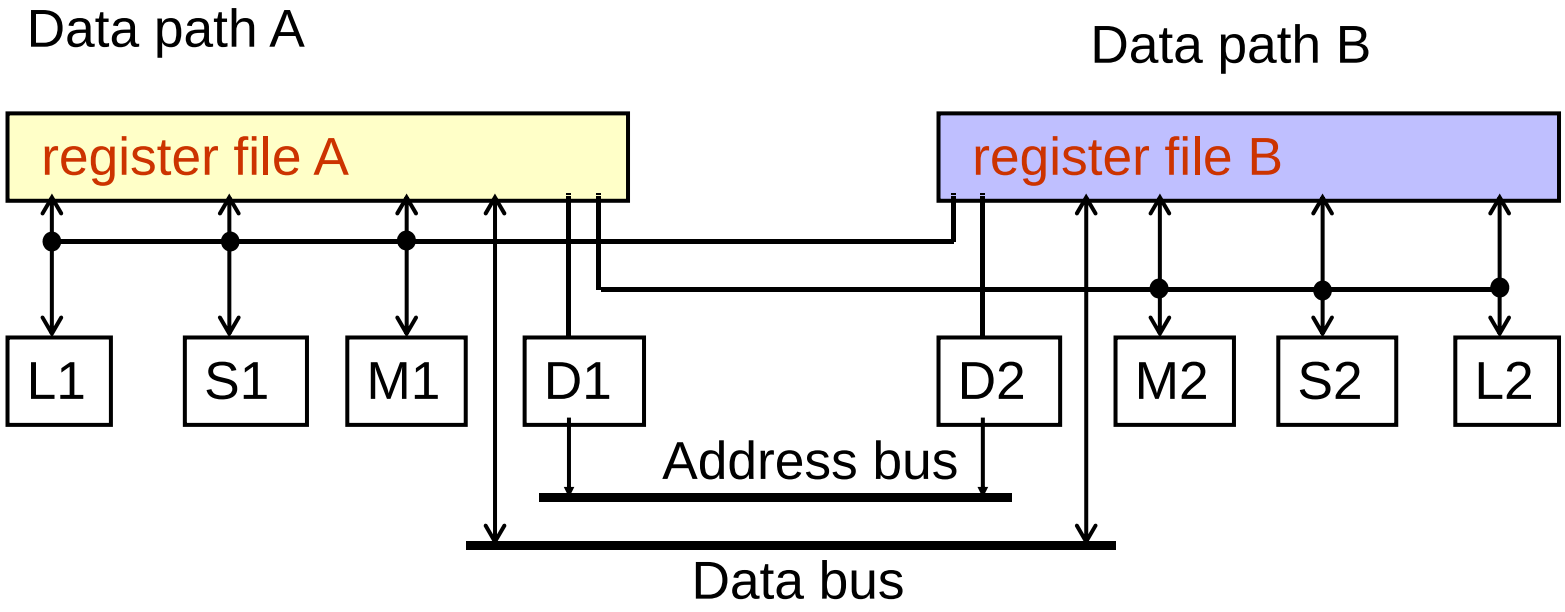
Cycle	Instruction		
1	A		
2	B	C	D
3	E	F	G

دستورالعمل‌های B، C و D نمی‌توانند از واحدهای کارکردی یکسان، مسیرهای تقاطعی یا دیگر منابع مسیر داده، استفاده کنند. این مطلب برای E، F و G نیز درست است.

Parallel execution cannot span several packets.

فایل‌های ثبات افرازشده
Partitioned register files

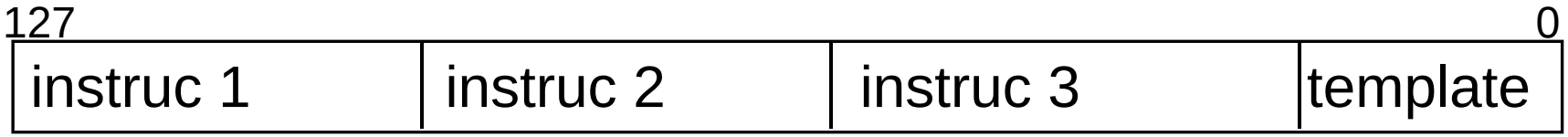
- برای فراهم کردن تعداد کافی عملوند در هر چرخه، درگاه‌های حافظه‌ی زیادی لازم است.
- حافظه‌های دارای چند درگاه (Multi-port) گران هستند.
- ثبات‌ها به چند مجموعه (اغلب ۲ تا) افراز می‌شوند، برای مثال، T1C60x



انعطاف‌پذیری بیشتر در کدگذاری با ایتانیوم IA-64

More encoding flexibility with IA-64 Itanium

3 instructions per **bundle**:



There are 5 instruction types:

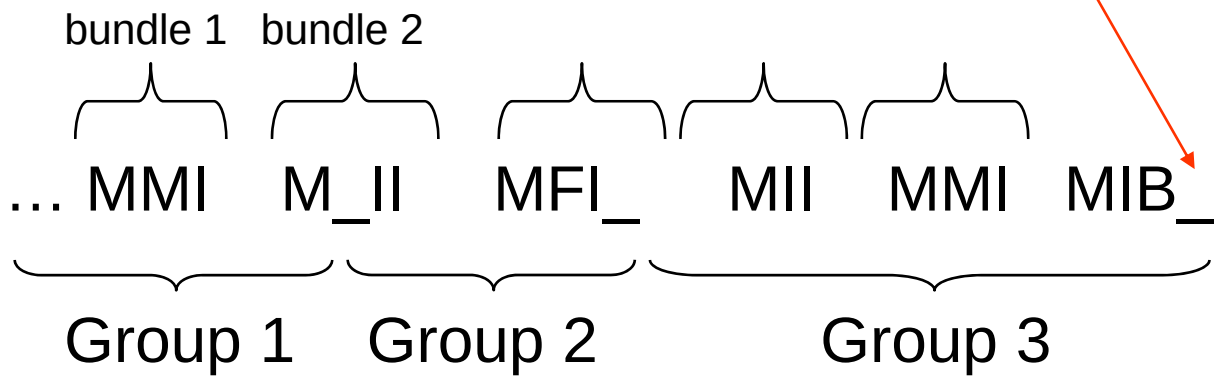
- **A** : common ALU instructions
- **I** : more special integer instructions (e.g. shifts)
- **M** : Memory instructions
- **F** : floating point instructions
- **B** : branches

The following combinations can be encoded in templates:

- MII, MMI, MFI, MIB, MMB, MFB, MMF, MBB, BBB, MLX
  with LX = *move 64-bit immediate* encoded in 2 slots

قالب‌ها و انواع دستورالعمل
Templates and instruction types

End of parallel execution called **stops.**
Stops are denoted by underscores.
Example:



Very restricted placement of stops within bundle.
Parallel execution within groups possible.
Parallel execution can span several bundles

انواع دستورالعمل نگاشت‌یافته به انواع واحدهای کارکردی

Instruction types are mapped to functional unit types

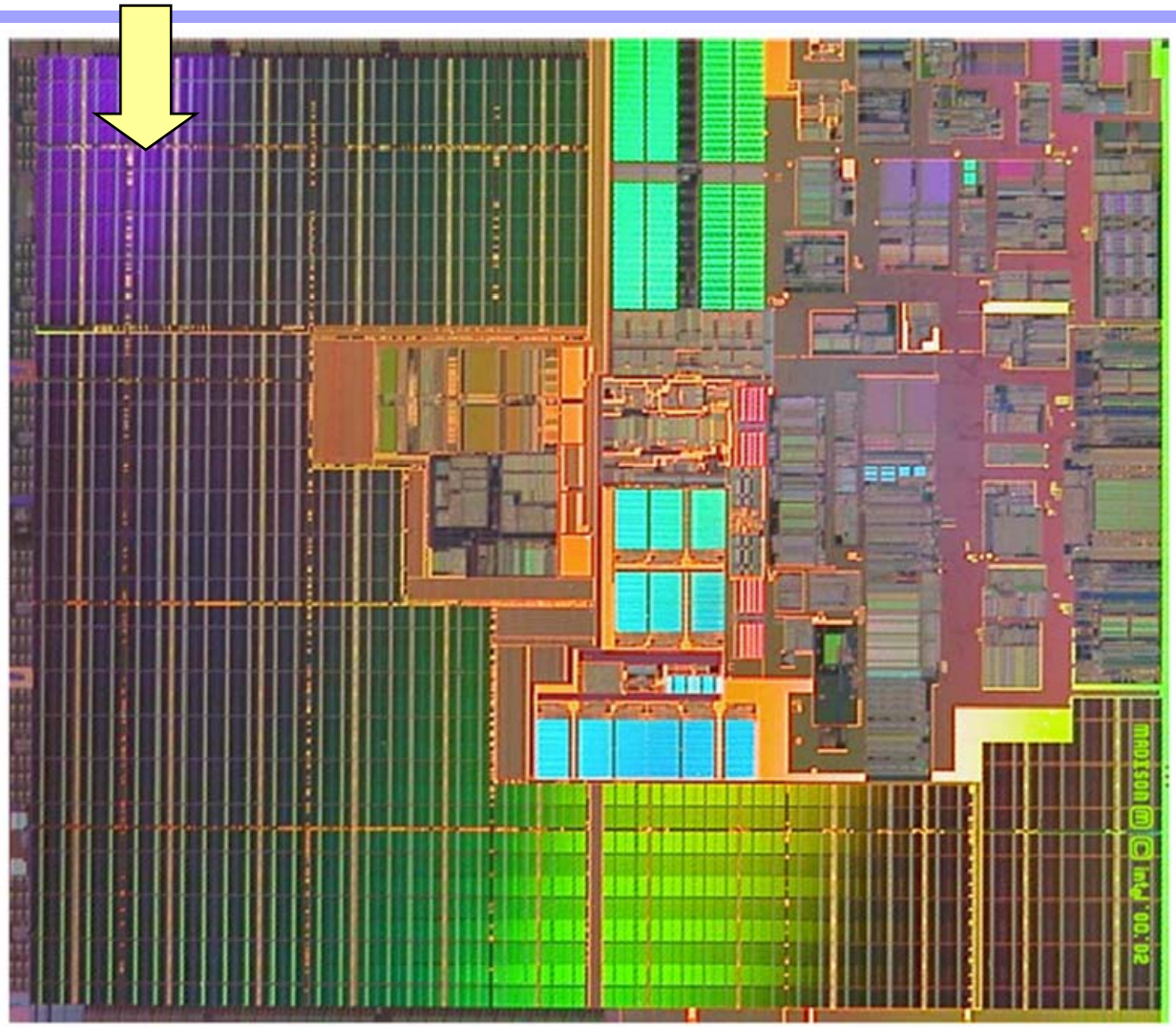
There are **4 functional unit** (FU) types:

- **M** : Memory Unit
- **I** : Integer Unit
- **F** : Floating-Point Unit
- **B** : Branch Unit

Instruction types → corresponding FU type,
except type A (mapping to either I or M-functional units).

Implementation: Itanium 2 (2003)

L3 cache



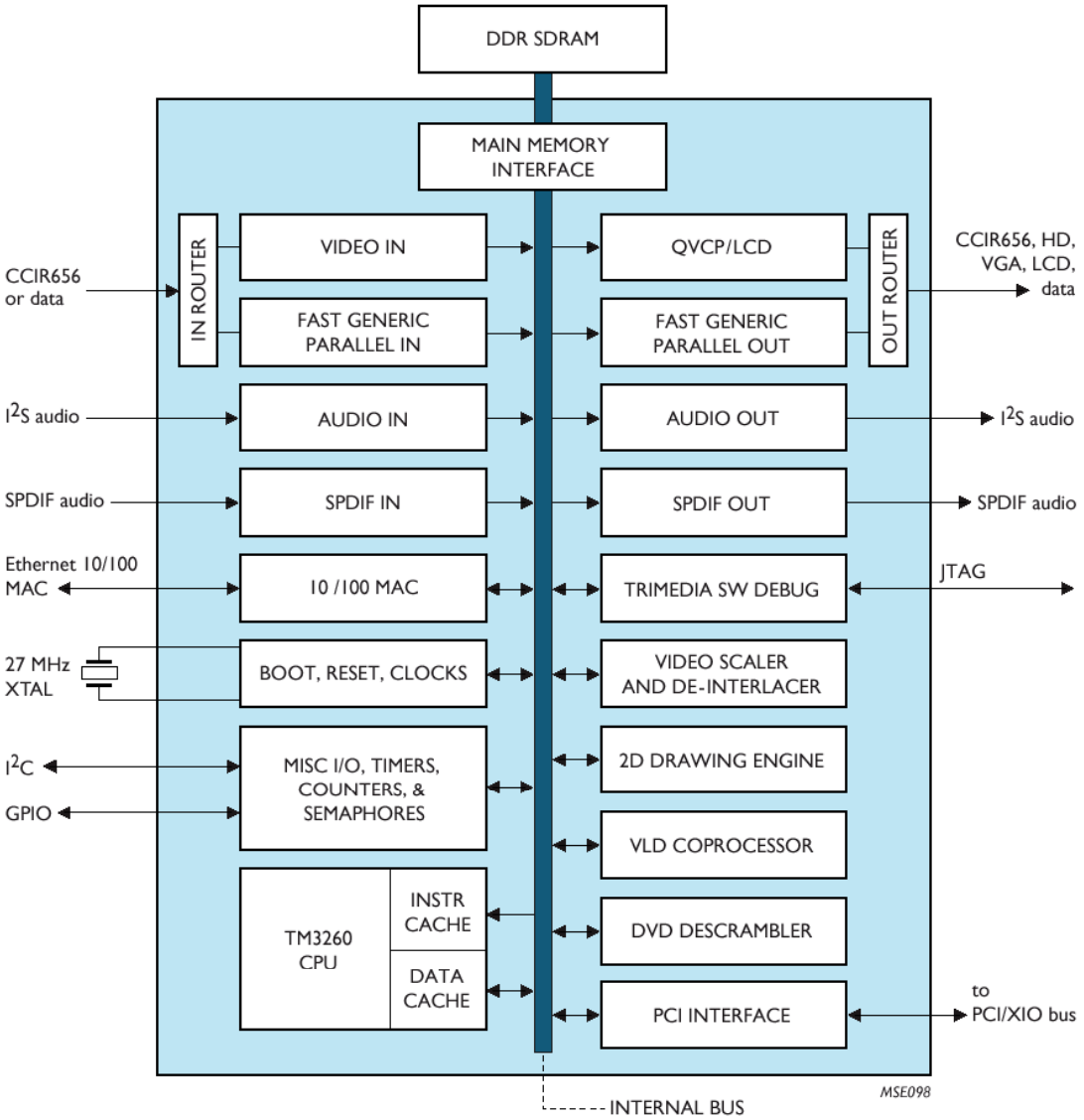
- 410M transistors
- 374 mm^2 die size
- 6MB on-die L3 cache
- 1.5 GHz at 1.3V

© Intel, 2003

[ftp://download.intel.com/design/itanium2/download/madison_slides_r1.pdf]

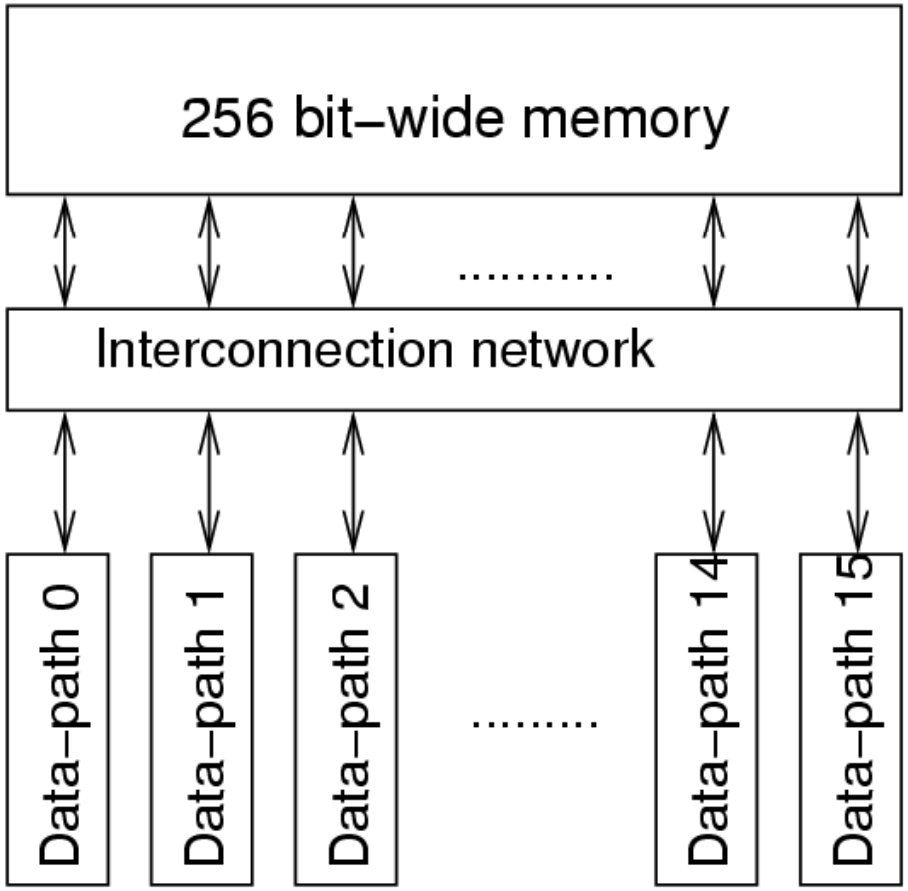
Philips TriMedia-Processor

For multimedia-applications, up to 5 instructions/ cycle.



http://www.semiconductors.philips.com/products/nexperia/media_processing/pnx1500/© Philips

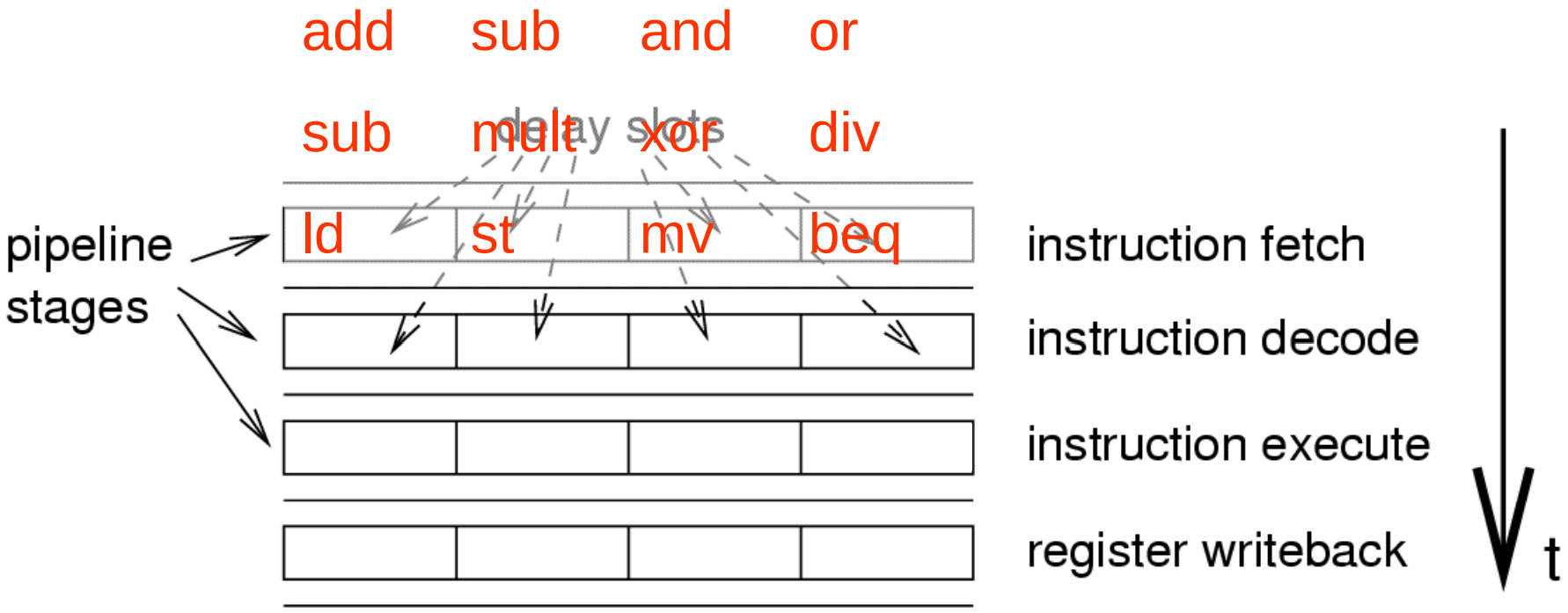
The M3 VLIW DSP Processor



Designed at TU Dresden (G. Fettweis et al.)

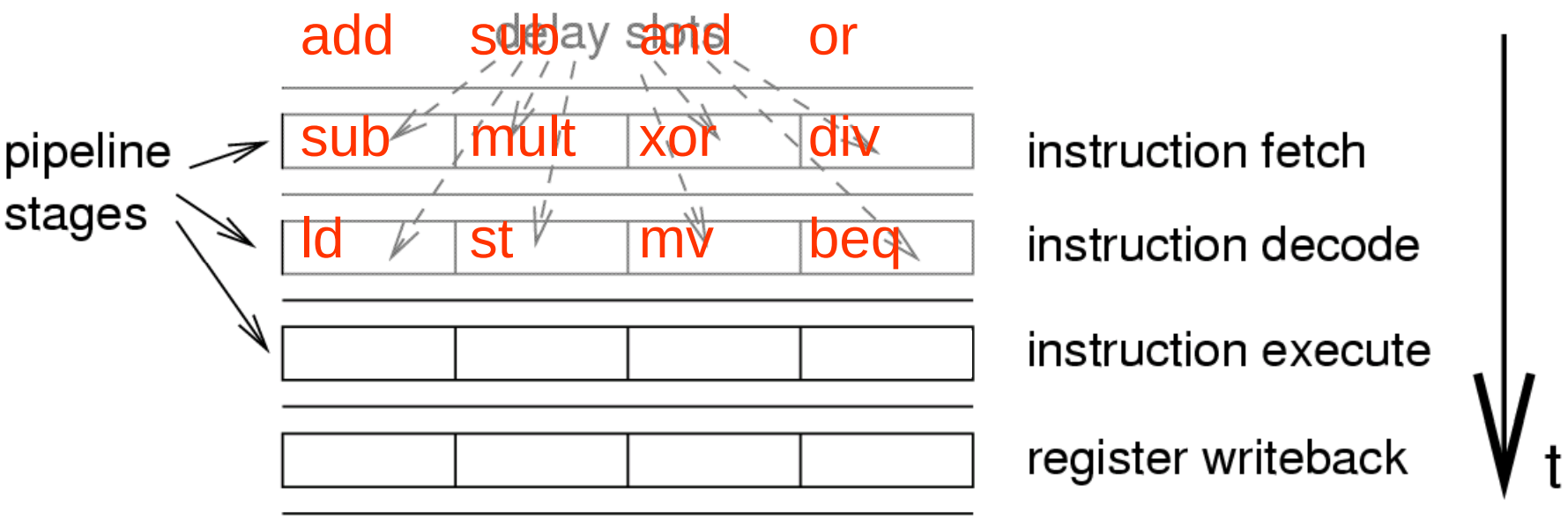
تعداد زیاد شکاف‌های تاخیر، یک مشکل پردازنده‌های VLIW

Large # of delay slots, a problem of VLIW processors



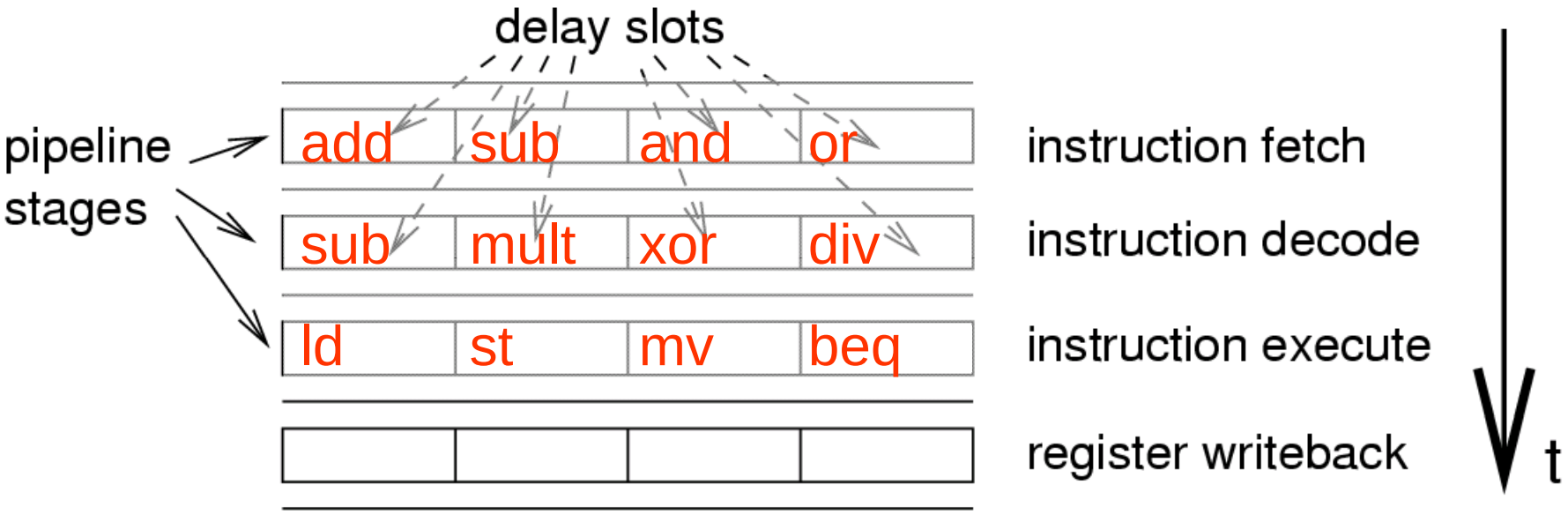
تعداد زیاد شکاف‌های تاخیر، یک مشکل پردازنده‌های VLIW

Large # of delay slots, a problem of VLIW processors



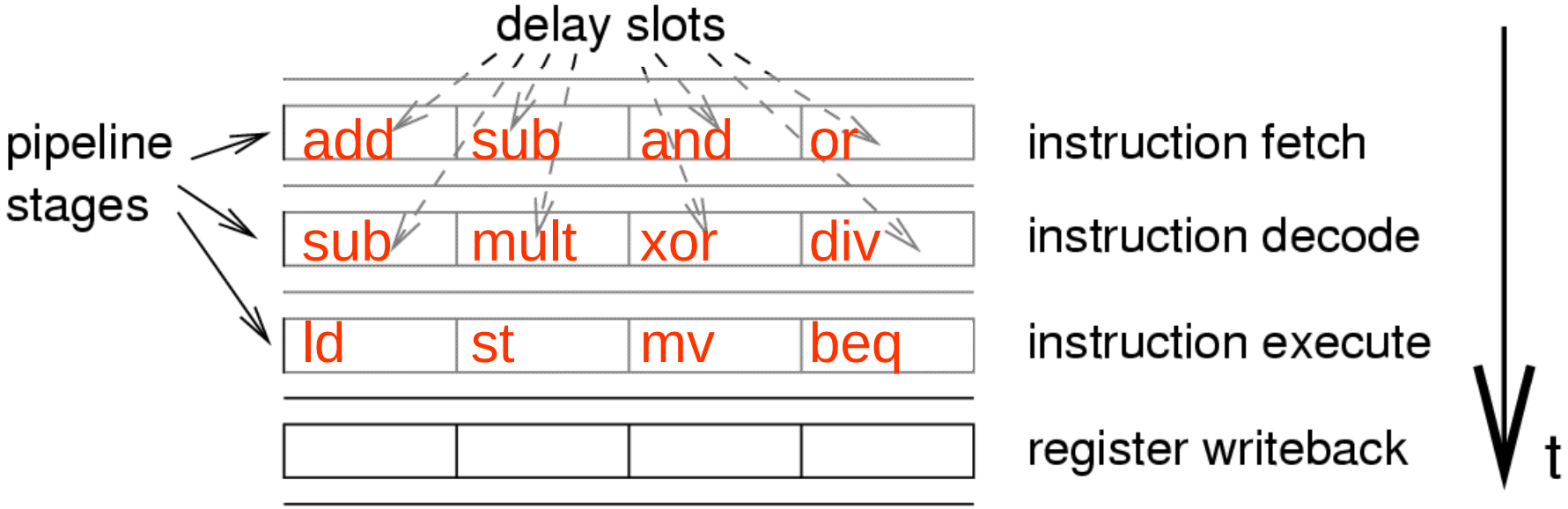
تعداد زیاد شکاف‌های تاخیر، یک مشکل پردازنده‌های VLIW

Large # of delay slots, a problem of VLIW processors



تعداد زیاد شکاف‌های تاخیر، یک مشکل پردازنده‌های VLIW

Large # of delay slots, a problem of VLIW processors



اجرای چندین دستورالعمل پیش از تحقیق در مورد اینکه آیا دستورالعمل انشعاب (پرش) لازم است یا خیر آغاز شده است.

لغو اجرای این دستورالعمل‌ها حجم زیادی از توان محاسباتی را هدر می‌دهد.

⇐اجرای این دستورالعمل‌ها یک ویژگی را اعلان می‌کند، نه یک اشکال.

⇐ چگونه می‌توان همه‌ی «شکاف‌های تاخیر» را با دستورالعمل‌های مفید پر کرد؟

⇐ اجتناب از انشعاب‌ها در هر صورت که ممکن است.

اجرای محمولی: پیاده‌سازی دستورهای IF عاری از انشعاب
Predicated execution: Implementing IF-statements “branch-free”

Conditional Instruction “[c] I” consists of:

- **condition c**
- **instruction I**

c = true => I executed
c = false => NOP

Predicated execution: Implementing IF-statements “branch-free”: TI C6x

```
if (c)
{
   a = x + y;
   b = x + z;
}
else
{
   a = x - y;
   b = x - z;
}
```

Conditional branch

```
      [c] B L1
          NOP 5
          B L2
          NOP 4
          SUB x,y,a
       || SUB x,z,b
L1:       ADD x,y,a
       || ADD x,z,b
L2:
```

max. 12 cycles

Predicated execution

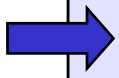
```
   [c]  ADD  x,y,a
|| [c]  ADD  x,z,b
|| [!c] SUB  x,y,a
|| [!c] SUB  x,z,b
```

1 cycle

Target technologies

Processing units

- Power efficiency of target technologies
- ASICs
- Processors
  - Energy efficiency
  - Code size efficiency and code compaction
  - Run-time efficiency
  - DSP processors
  - Multimedia processors
  - Very long instruction word (VLIW) & EPIC machines
  - Micro-controllers
- Reconfigurable Hardware
- Memory



منطق قابل پیکربندی مجدد
Reconfigurable Logic

تراشه‌های کاملاً سفارشی احتمالاً بسیار گران هستند،
نرم‌افزار بسیار کند است.

⇐ ترکیب سرعت سخت‌افزار با انعطاف‌پذیری نرم‌افزار.

⇐ استفاده از سخت‌افزار قابل پیکربندی مجدد؛

شکل متداول (FPGA) field programmable gate arrays

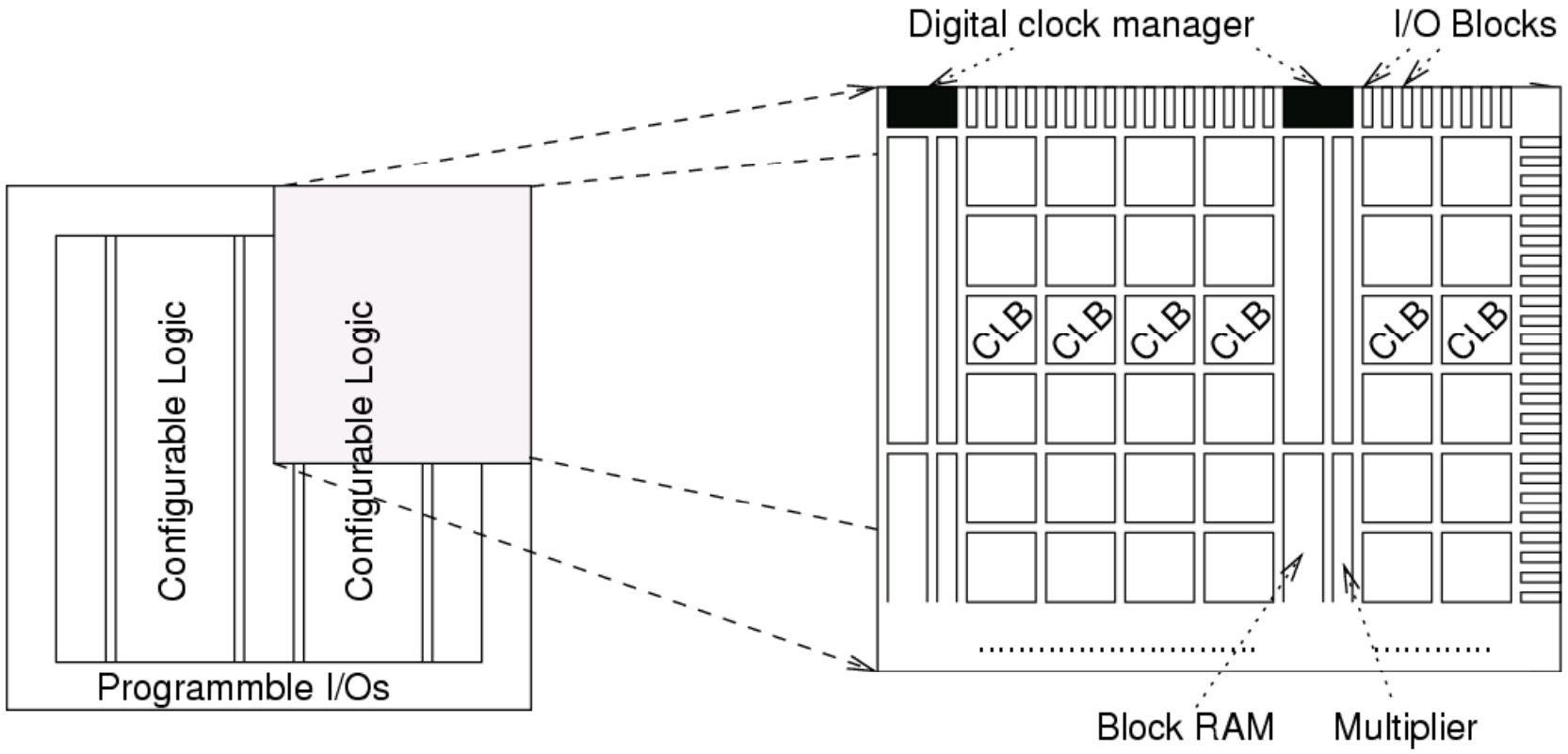
کاربردها: الگوریتم‌های بیت محور مانند:

- رمزنگاری
- بازشناسی سریع اشیا (پزشکی و نظامی)
- تلفن‌های همراه قابل تطبیق با استانداردهای گوناگون

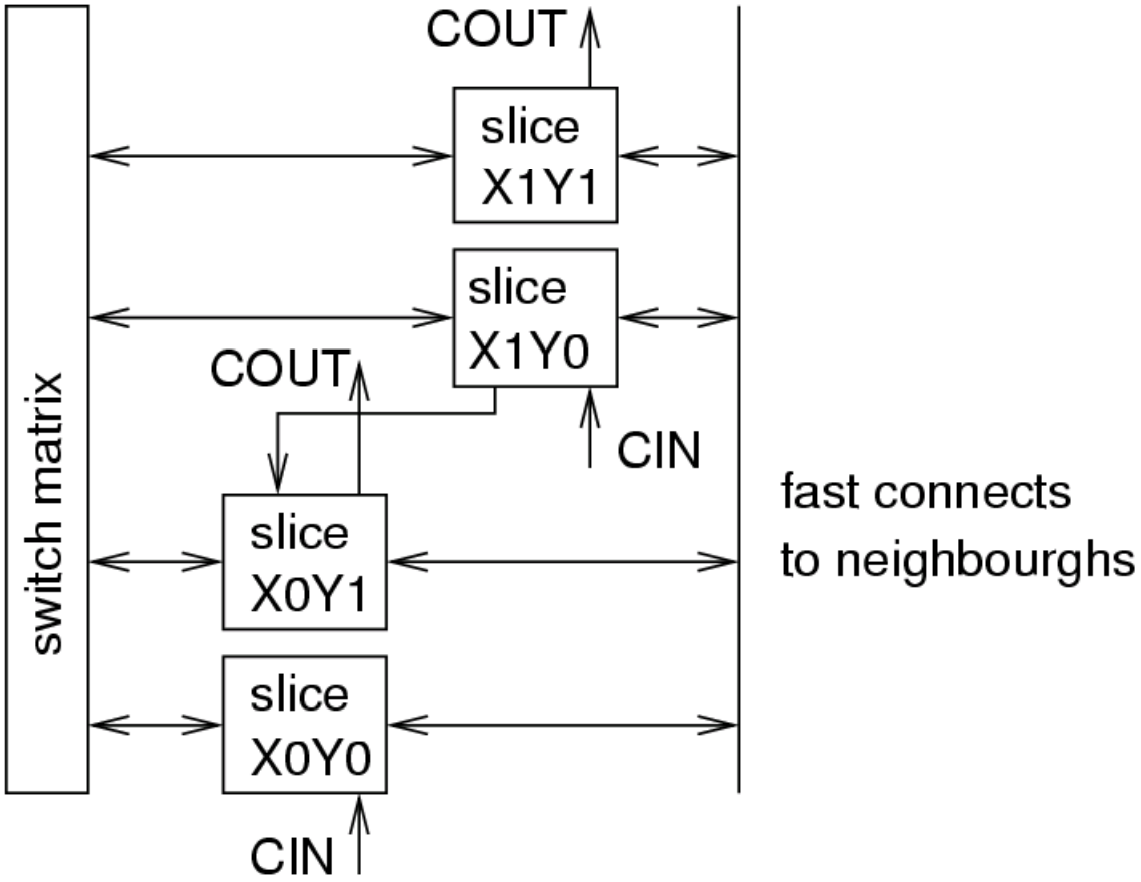
وسایل بسیار متداول از

- **XILINX** (XILINX Vertex II are very recent devices)
- **Actel** and others

Floor-plan of VIRTEX II FPGAs

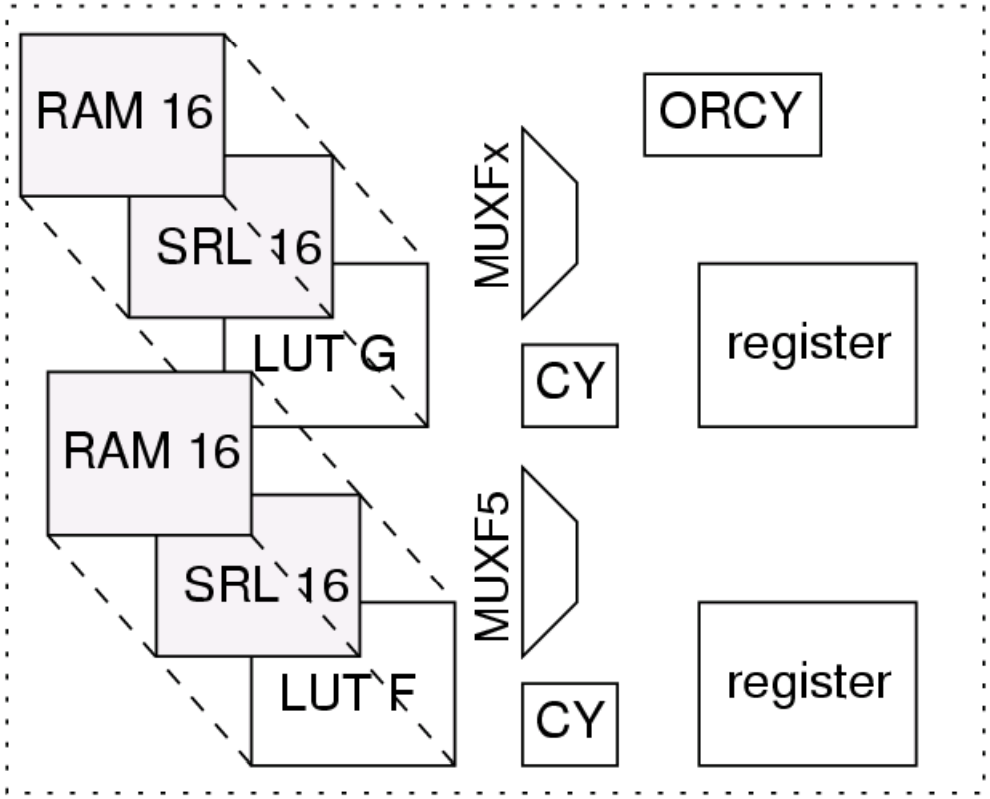


Virtex II Configurable Logic Block (CLB)



Virtex II Slice (simplified)

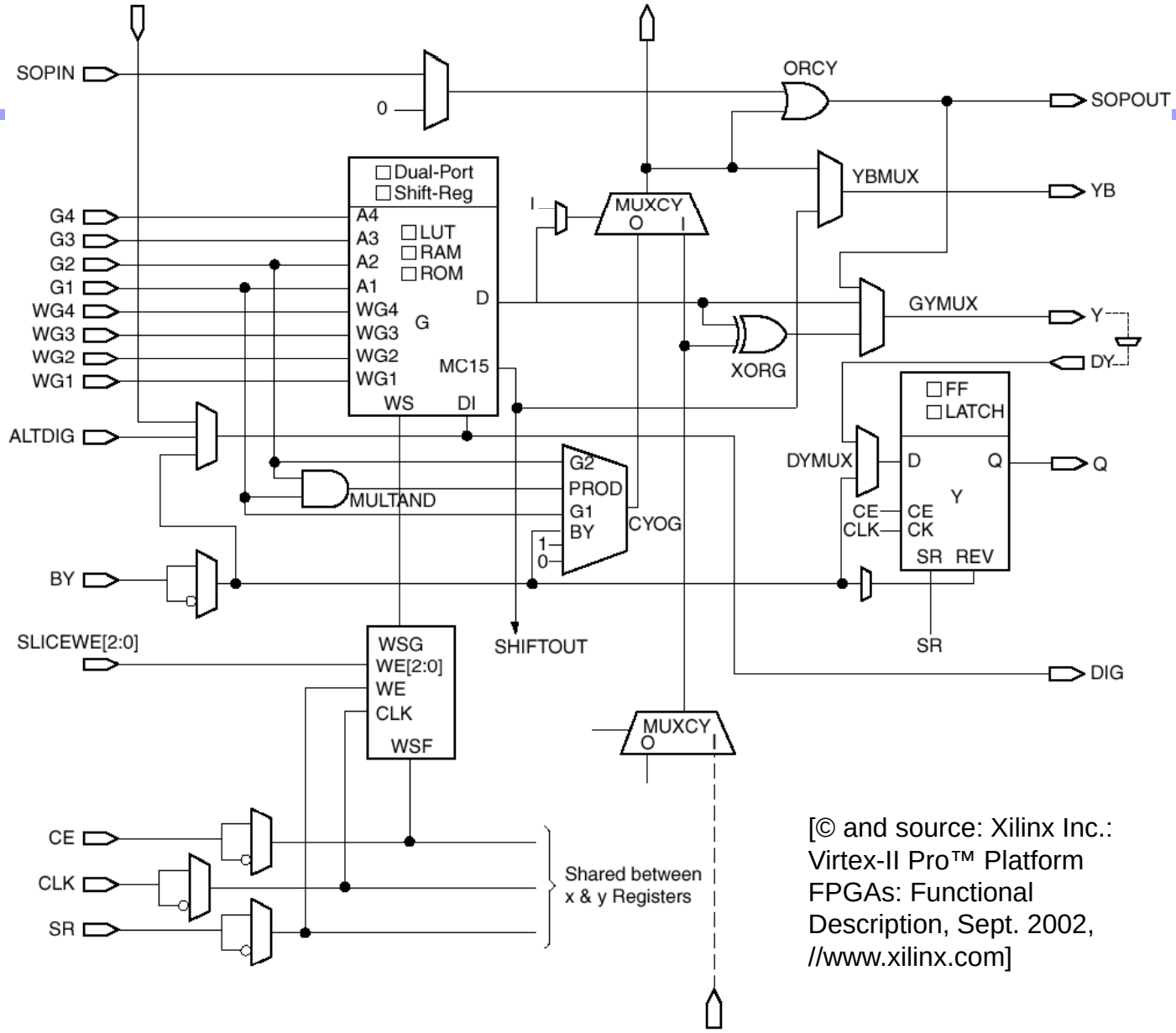
Look-up tables LUT F and G can be used to compute any Boolean function of ≤ 4 variables.



Example:

a	b	c	d	G
0	0	0	0	**0**
0	0	0	1	**1**
0	0	1	0	**1**
0	0	1	1	**0**
0	1	0	0	**1**
0	1	0	1	**0**
0	1	1	0	**0**
0	1	1	1	**1**
1	0	0	0	**1**
1	0	0	1	**0**
1	0	1	0	**0**
1	0	1	1	**1**
1	1	0	0	**0**
1	1	0	1	**1**
1	1	1	0	**1**
1	1	1	1	**0**

Virtex II (Pro) Slice



[© and source: Xilinx Inc.: Virtex-II Pro™ Platform FPGAs: Functional Description, Sept. 2002, //www.xilinx.com]

2 carry paths per CLB (Vertex II Pro)

Enables efficient implementation of adders.

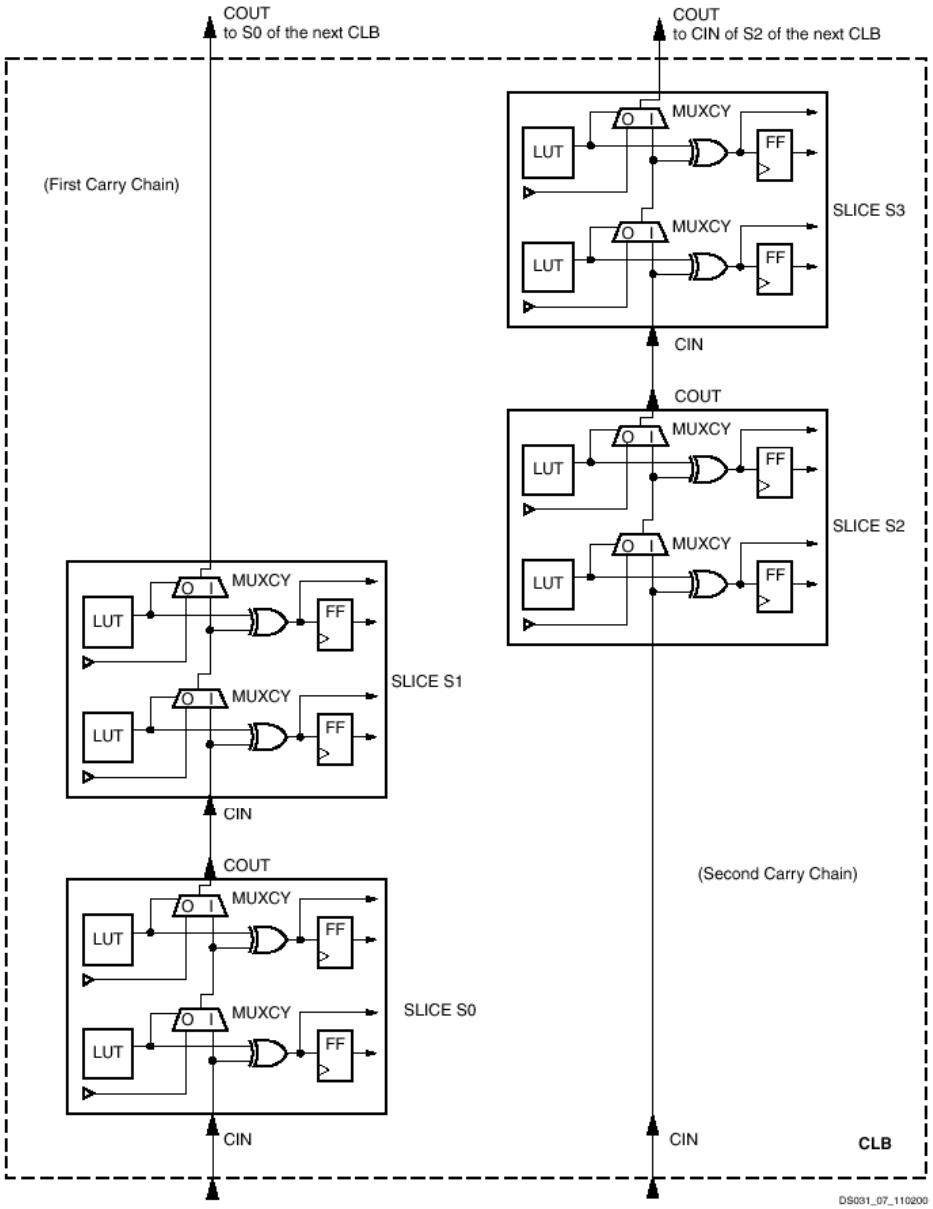
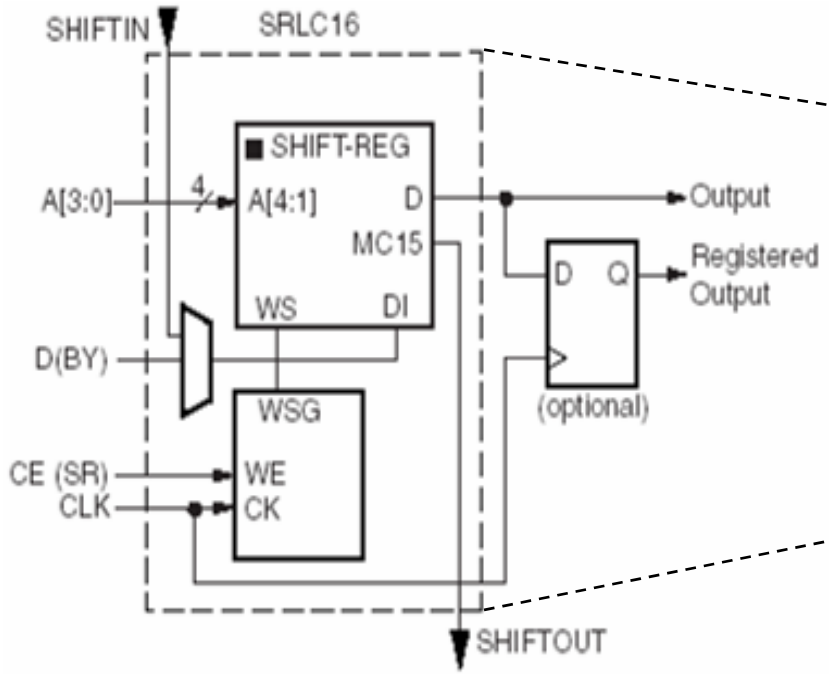


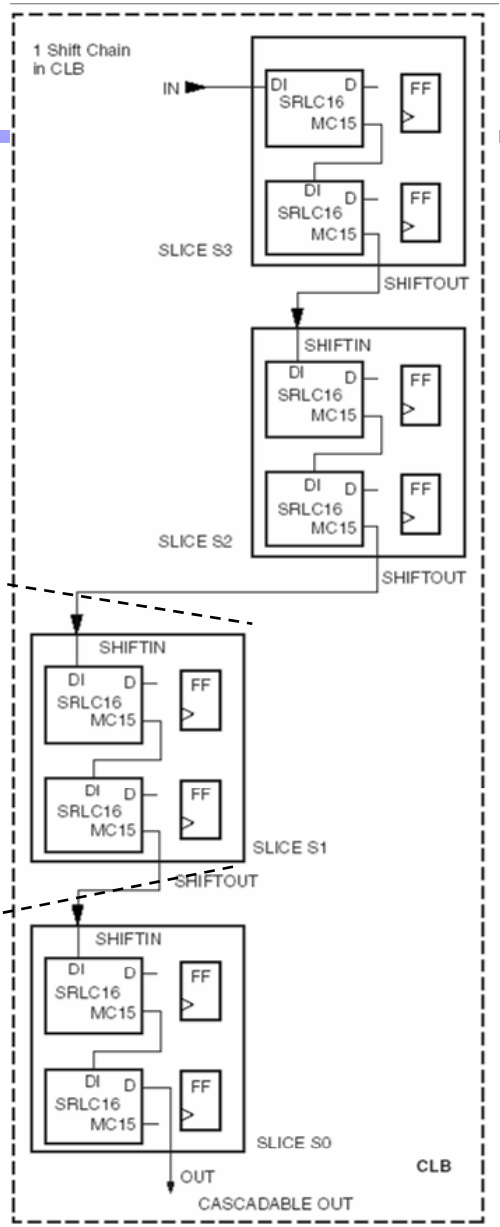
Figure 32: **Fast Carry Logic Path**

[© and source: Xilinx Inc.: Virtex-II Pro™ Platform FPGAs: Functional Description, Sept. 2002, //www.xilinx.com]

Shift register configuration

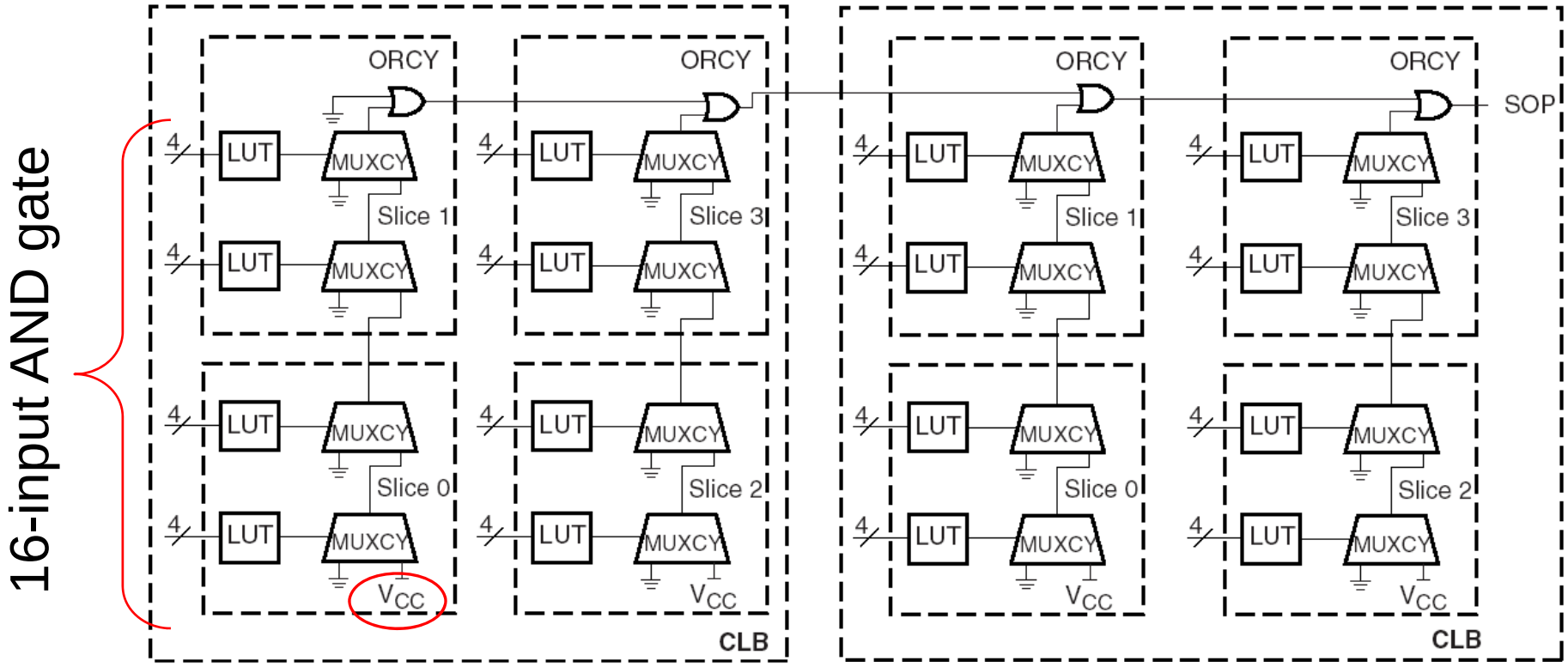
Slices can be configured as shift registers





Implementing sums of products

Dedicated or chain for computing sum of products



Number of resources available in Virtex II Pro devices

Table 16: **Virtex-II Pro Logic Resources Available in All CLBs**

Device	CLB Array: Row x Column	Number of Slices	Number of LUTs	Max Distributed SelectRAM+ or Shift Register (bits)	Number of Flip-Flops	Number of Carry Chains(1)	Number of SOP Chains(1)
XC2VP2	16 x 22	1,408	2,816	45,056	2,816	44	32
XC2VP4	40 x 22	3,008	6,016	96,256	6,016	44	80
XC2VP7	40 x 34	4,928	9,856	157,696	9,856	68	80
XC2VP20	56 x 46	9,280	18,560	296,960	18,560	92	112
XC2VP30	80 x 46	13,696	27,392	438,272	27,392	92	160
XC2VP40	88 x 58	19,392	38,784	620,544	38,784	116	176
XC2VP50	88 x 70	23,616	47,232	755,712	47,232	140	176
XC2VP70	104 x 82	33,088	66,176	1,058,816	66,176	164	208
XC2VP100	120 x 94	44,096	88,192	1,411,072	88,192	188	240
XC2VP125	136 x 106	55,616	111,232	1,779,712	111,232	212	272

Notes:

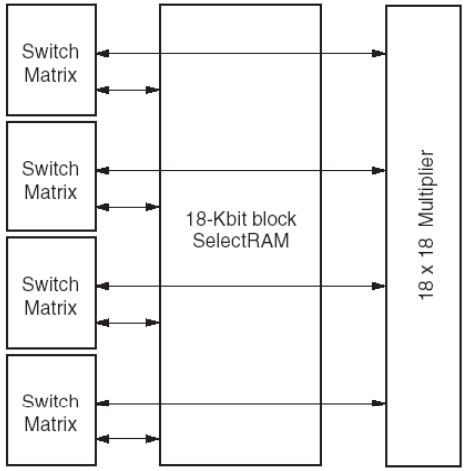
1. The carry-chains and SOP chains can be split or cascaded.

[© and source: Xilinx Inc.: Virtex-II Pro™ Platform FPGAs: Functional Description, Sept. 2002, //www.xilinx.com]

Embedded Multipliers

A Virtex-II Pro multiplier block is an 18-bit by 18- signed multiplier.

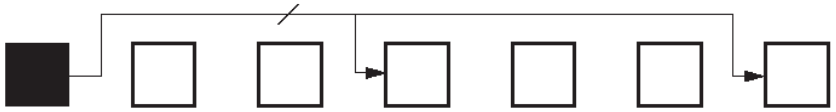
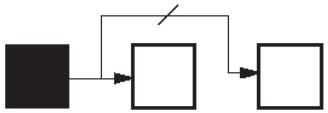
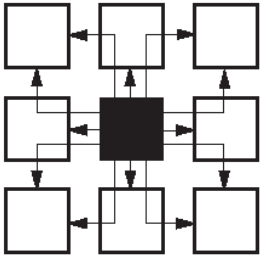
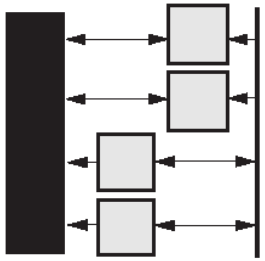
Multipliers are connected to a switch matrix, share some bits with RAM
(☞MAC instruction).



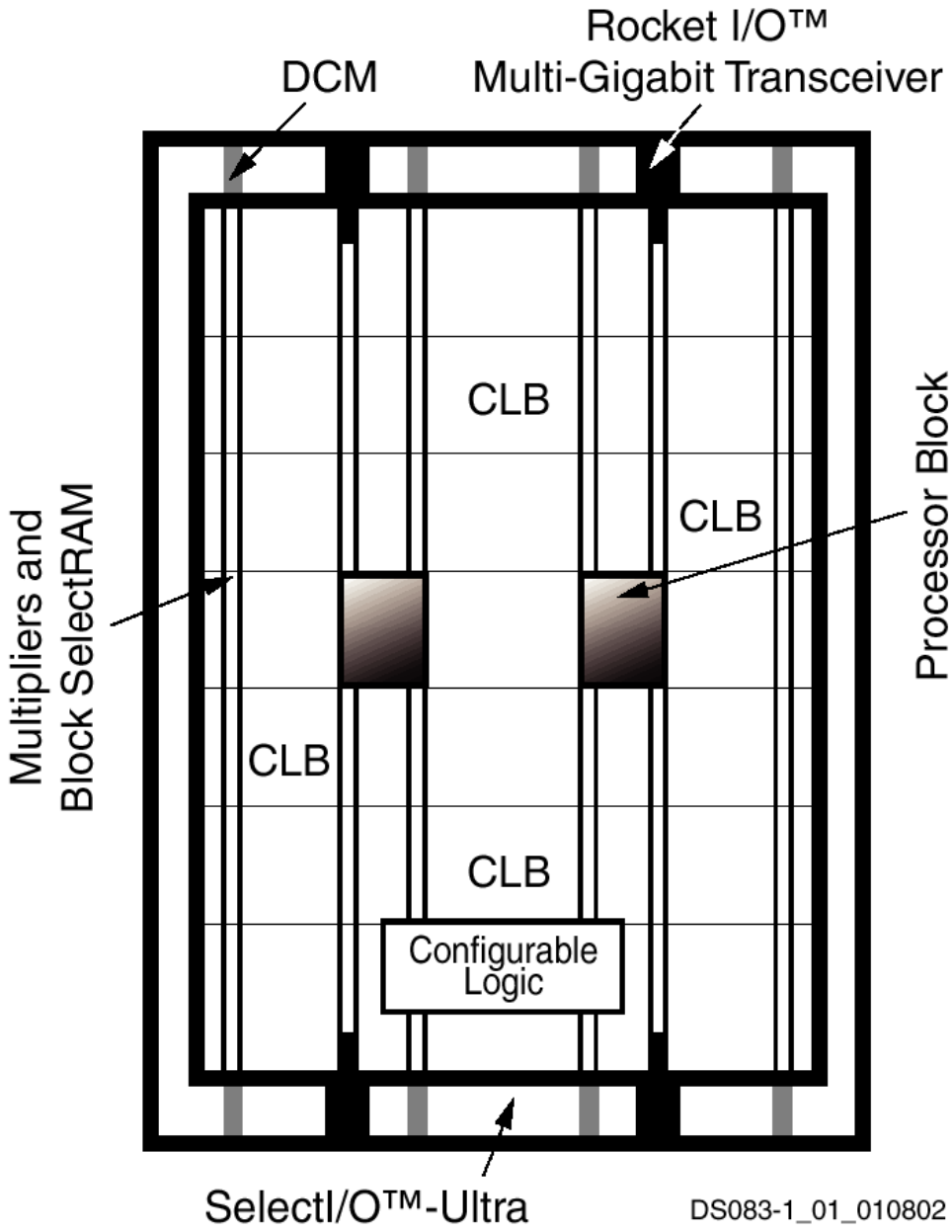
Device	Columns	Multipliers
XC2VP2	4	12
XC2VP4	4	28
XC2VP7	6	44
XC2VP20	8	88
XC2VP30	8	136
XC2VPX20	8	88
XC2VP40	10	192
XC2VP50	12	232
XC2VP70	14	328
XC2VPX70	14	308
XC2VP100	16	444

Interconnect

Hierarchical Routing Resources

24 Horizontal Long Lines 24 Vertical Long Lines	
120 Horizontal Hex Lines 120 Vertical Hex Lines	
40 Horizontal Double Lines 40 Vertical Double Lines	
16 Direct Connections (total in all four directions)	
8 Fast Connects	

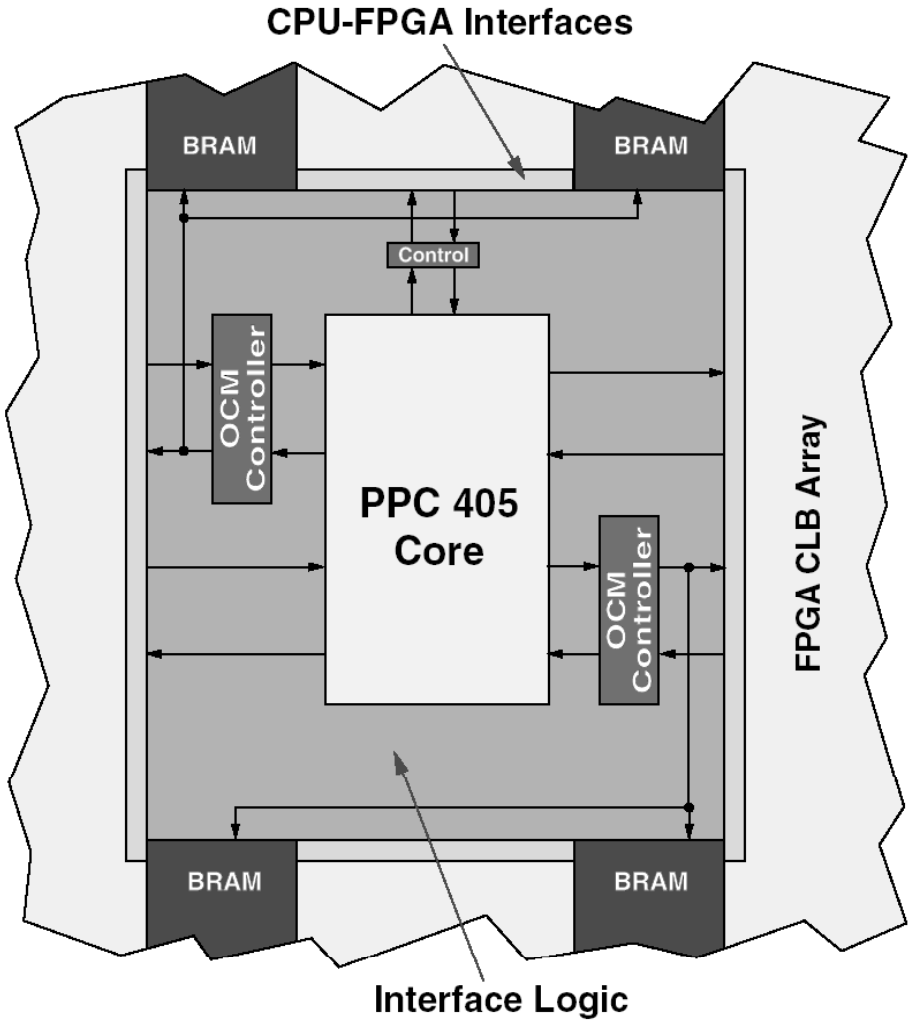
Virtex II Pro Devices include up to 4 PowerPC processor cores



[© and source: Xilinx Inc.: Virtex-II Pro™ Platform FPGAs: Functional Description, Sept. 2002, //www.xilinx.com]

Memory for processor cores

Cores are connected to local block RAM that can be used as a scratchpad.



خلاصه

Processing units

- Power efficiency of target technologies
- ASICs
- Processors
  - Energy efficiency
  - Code size efficiency and code compaction
  - Run-time efficiency
  - DSP processors
  - Multimedia processors
  - Very long instruction word (VLIW) machines
  - Micro-controllers
- Reconfigurable Hardware
- Memory

Covered today